



ITW

GK-US045033

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :  
Tae-Wook KIM et al. : Patent Art Unit: 2816  
Serial No.: 10/775,234 :  
Filed: February 11, 2004 :  
For: MIXER CIRCUIT HAVING IMPROVED :  
LINEARITY AND NOISE FIGURE :

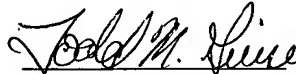
**CLAIM FOR PRIORITY UNDER 35 U.S.C. §119**

The Assistant Commissioner of Patents  
Washington, DC 20231

Sir:

Under the provisions of 35 U.S.C. §119, Applicant(s) files herewith a certified copy of Korean Application No. 2003-9013, filed February 13, 2003, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748. Applicant(s) hereby claims priority under 35 U.S.C. §119 in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748.

Respectfully submitted,

  
Todd M. Guise  
Reg. No. 46,748

SHINJYU GLOBAL IP COUNSELORS, LLP  
1233 Twentieth Street, NW, Suite 700  
Washington, DC 20036  
(202)-293-0444  
Dated: 5/13/04



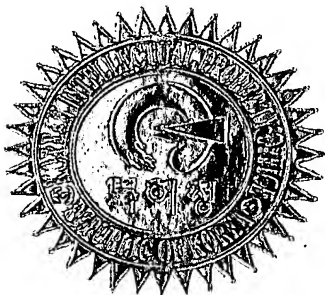
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0009013  
Application Number

출원년월일 : 2003년 02월 13일  
Date of Application FEB 13, 2003

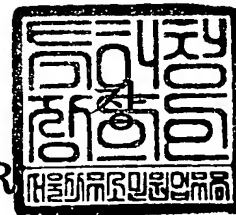
출원인 : 인티그런트 테크놀로지즈(주)  
Applicant(s) INTEGRANT TECHNOLOGIES INC.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.13
【발명의 명칭】	선형성 및 잡음 특성이 개선된 믹서 회로
【발명의 영문명칭】	Mixer Circuit having Improved Linearity and Noise Figure
【출원인】	
【명칭】	인티그런트 테크놀로지즈(주)
【출원인코드】	1-2001-002372-0
【대리인】	
【성명】	박경완
【대리인코드】	9-1999-000646-5
【포괄위임등록번호】	2001-003356-1
【대리인】	
【성명】	김성호
【대리인코드】	9-1998-000633-4
【포괄위임등록번호】	2001-003357-8
【발명자】	
【성명의 국문표기】	김태욱
【성명의 영문표기】	KIM,Tae Wook
【주민등록번호】	740220-1024528
【우편번호】	136-847
【주소】	서울특별시 성북구 정릉4동 800-63 국제빌라 가동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	김본기
【성명의 영문표기】	KIM,Bon Kee
【주민등록번호】	710703-1261910
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 723-1
【국적】	KR

**【발명자】****【성명의 국문표기】**

이귀로

**【성명의 영문표기】**

LEE, Kwyro

**【주민등록번호】**

520520-1229711

**【우편번호】**

305-325

**【주소】**

대전광역시 유성구 노은동 열매마을 811-1101

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

박경완 (인) 대리인

김성호 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

13 면 13,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

13 항 525,000 원

**【합계】**

567,000 원

**【감면사유】**

소기업 (70%감면)

**【감면후 수수료】**

170,100 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통 2. 소기업임을 증명하는 서류\_1통

**【요약서】****【요약】**

본 발명은 믹서 회로의 선형성 및 잡음 특성을 개선시키기 위한 것이다. 본 발명의 일실시예에 따른 믹서 회로는 입력단 및 출력단을 구비하고, 입력단에 인가된 신호를 증폭시켜 출력단으로 출력하는 증폭부, 제1 내지 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 제1 및 제2 입력단에 각각 인가되는 신호를 제3 입력단에 인가되는 신호와 혼합하여 제1 및 제2 출력단으로 각각 출력하는 혼합부, 증폭부의 출력단 및 혼합부의 제3 입력단 간에 접속되는 커패시터, 및 혼합부의 제3 입력단에 일정 전류를 공급하되, 증폭부에 흐르는 전류 보다 실질적으로 더 많은 전류가 혼합부의 제3 입력단에 흐르도록 하기 위한 전류 공급 수단을 포함한다.

**【대표도】**

도 3

**【색인어】**

믹서 회로, 선형성, 잡음 특성, 증폭부, 혼합부

## 【명세서】

## 【발명의 명칭】

선형성 및 잡음 특성이 개선된 믹서 회로{Mixer Circuit having Improved Linearity and Noise Figure}

## 【도면의 간단한 설명】

도 1은 종래의 길버트 셀 믹서 회로를 도시한 회로도.

도 2는 종래의 다른 믹서 회로를 도시한 회로도.

도 3은 본 발명의 일실시예에 따른 믹서 회로를 도시한 회로도.

도 4는 본 발명의 다른 실시예에 따른 믹서 회로를 도시한 회로도.

도 5는 본 발명의 다른 실시예에 따른 믹서 회로를 도시한 회로도.

도 6는 본 발명의 다른 실시예에 따른 믹서 회로를 도시한 회로도.

<도면의 주요 부분에 대한 부호의 설명>

310: 증폭부

330: 혼합부

301: 증폭부의 입력단

303: 증폭부의 출력단

305: 혼합부의 제1 입력단

307: 혼합부의 제2 입력단

309: 혼합부의 제3 입력단

311: 혼합부의 제1 출력단

313: 혼합부의 제2 출력단

BN31: 제1 NPN 트랜지스터

BN32: 제2 NPN 트랜지스터

BN31: 제3 NPN 트랜지스터

C31: 커패시터

I31: 제1 전류 공급 수단

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <15> 본 발명은 통신 시스템에 관한 것으로서, 더욱 상세하게는 선형성 및 잡음 특성이 개선된 믹서 회로에 관한 것이다.
- <16> 믹서 회로는 통상 통신 시스템에서 신호를 변조(modulation) 또는 복조(demodulation)하기 위하여 사용되며, 입력되는 2 이상의 신호를 혼합하여 양 신호의 주파수의 차 또는 합에 해당하는 주파수의 신호를 출력한다.
- <17> 도 1은 종래의 전형적인 믹서 회로인 길버트 셀 믹서 회로를 도시한 회로도이다.
- <18> 도 1에 도시된 바와 같이, 종래의 믹서 회로는 크게 증폭부(110) 및 혼합부(130)로 구성된다. 증폭부(110)는 제1 NPN 트랜지스터 BN11 및 퇴화 임피던스 L11를 포함하고, 입력단 Vin에 인가된 신호를 증폭시켜 혼합부(130)로 출력한다. 혼합부(130)는 제2 및 제3 NPN 트랜지스터 BN12, BN13 및 제1 및 제2 부하 저항 R11, R12을 포함하고, 상기 증폭부(110)에서 출력된 신호와 국부 발진 신호 LO+, LO-를 혼합하여, 중간 주파수(Intermediate Frequency) 또는 기저대역(Baseband) 신호를 출력한다.
- <19> 이하, 도 1에 도시된 믹서 회로의 동작 및 문제점을 설명한다.
- <20> 믹서 회로의 증폭부(110)는 에미터 공통(common emitter) 구조로서, 제1 NPN 트랜지스터 BN11의 베이스에 인가된 신호 Vin를 증폭하여 혼합부(130)로 출력한다.

- <21> 믹서 회로의 혼합부(130)는 베이스 공통(common base) 구조로서, 상기 증폭부(110)의 출력 신호와 국부 발진 신호  $L0+$ ,  $L0-$ 를 혼합하여 중간 주파수 또는 기저 대역 신호를 출력한다.
- <22> 즉, 도 1에 도시된 믹서 회로는 에미터 공통 구조의 증폭부(110)와 베이스 공통 구조의 혼합부(130)를 접속시키고, 혼합부(130)에 포함된 제2 및 제3 NPN 트랜지스터 BN12, BN13의 베이스에 국부 발진 신호  $L0+$ ,  $L0-$ 를 인가함으로써, 제1 NPN 트랜지스터 BN31의 베이스에 인가되는 RF 신호와 믹싱되도록 하고 있다.
- <23> 그러나, 도 1에 도시된 바와 같은 종래의 믹서 구조에서는 증폭부(110) 및 혼합부(130)가 직접적으로 접속됨으로 인하여, 잡음 특성 및 선형성 측면에서 최적으로 활용되는데 어려움이 있었다.
- <24> 좀더 구체적으로는, 증폭부(110)의 제1 NPN 트랜지스터 BN11에 흐르는 전류가 제2 및 제3 NPN 트랜지스터 BN12, BN13에 흐르는 전류의 합과 동일한 값을 가진다. 따라서, 믹서 회로의 선형성을 높이기 위하여 혼합부(130)의 제2 및 제3 NPN 트랜지스터 BN12, BN13에 흐르는 전류를 증가시키면, 증폭부(110)의 제1 NPN 트랜지스터 BN31에 흐르는 전류도 동시에 증가되고, 이로써, 증폭부(110)의 이득이 증가하게 된다. 증폭부(110)의 이득 증가는 믹서 회로의 선형성을 저해하고, 제1 NPN 트랜지스터 BN11의 콜렉터 및 에미터간 전압  $V_{ce}$ 이 일정한데 전류만 증가시키면 오히려 증폭부의 선형성이 저해되는 문제를 초래한다. 나아가, 증폭부(110) 및 혼합부(130)의 이득을 독립적으로 제어할 수 없음으로써, 믹서 회로의 선형성 및 잡음 특성을 최적화시키는데 어려움이 있었다.



- <25> 즉, 증폭부(110) 및 혼합부(130)의 잡음 특성 및 선형성의 최적화 요건이 서로 다름에도 불구하고, 증폭부(110)를 혼합부(130)와 직접 연결하여 믹서 회로를 형성하는 것은 믹서 회로의 선형성 및 잡음 특성을 저해하는 요인이 되었다.
- <26> 믹서 회로의 선형성 및 잡음 특성을 개선시키기 위한 종래 기술로서, 미합중국 특허 제 5,532,637호에 개시된 믹서 회로가 있다.
- <27> 도 2는 미합중국 특허 제 5,532,637호에 개시된 믹서 회로를 도시한 회로도이다.
- <28> 도 2에 도시된 바와 같이, 믹서 회로는 세개의 트랜지스터 쌍(11~18) 및 제1 및 제2 전류소오스(10, 22)를 포함한다. 제1 트랜지스터 쌍(11, 12)은 제1 입력단 I/P1+, I/P1-간에 인가되는 제1 차동 입력 신호에 의하여 콜렉터 및 에미터 간에 흐르는 전류를 제어한다. 두개의 제2 트랜지스터 쌍(15, 16), (17, 18)은 제2 입력단 I/P2+, I/P2-간에 인가되는 제2 입력 신호 및 제1 트랜지스터 쌍의 대응되는 트랜지스터에 도통되는 전류에 의하여 각각의 트랜지스터 쌍에 흐르는 전류의 양을 제어한다. 또한, 제2 전류 소오스(10)는 제1 트랜지스터 쌍(11, 12)에 의하여 도통되는 총 전류가 두개의 제2 트랜지스터 쌍(15, 16), (17, 18)에 흐르는 전류의 총합보다 많도록 한다.
- <29> 도 2에 도시된 종래의 믹서 회로는 믹서의 입력단에 전류 소오스(22)를 제공함으로써, 선형성을 향상시키도록 하고 있으나, 제1 트랜지스터 쌍(11, 12)의 콜렉터 및 에미터 간의 전압  $V_{ce}$ 이 결정된 후에 트랜지스터의 콜렉터에 제공되는 일정 전류 이상은 선형성에 도움이 되지 못하고, 잡음 특성과 전류소모만 악화시키는 것으로 알려져있다. (Guofu niu, et al., "RF Linearity Characteristics of SiGe HBTs", IEEE, Transaction of Microwave theory and Techniques, vol. 49, no.9, Sep. 2001.)

<30> 따라서, 도 2에 도시된 바와 같이, 콜렉터 및 에미터 간의 전압이 일정한 경우, 증폭부에 전류를 더 제공함으로써 선형성을 개선시키는 데에는 한계가 있다. 또한 전류를 증가시키는 것과 동시에 콜렉터 및 에미터 간의 전압을 더 높이는 것은  $V_{CC}$  때문에 한계가 있다. 나아가, 혼합부에 포함된 두개의 제2 트랜지스터 쌍(15, 16), (17, 18)에 흐르는 전류를 많이 확보하여야 높은 선형성을 얻을 수 있는데 반하여 미합중국 특허 제 5,532,637호에 개시된 믹서 회로에서는 혼합부에 흐르는 전류가 증폭부에 흐르는 전류보다 적음으로 인하여 오히려 믹서의 선형성을 저해하는 문제가 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

- <31> 본 발명의 목적은 선형성 및 잡음 특성이 우수한 믹서 회로를 제공함에 있다.
- <32> 본 발명의 다른 목적은 믹서의 증폭부 및 혼합부를 각각 독립적으로 제어함으로써, 선형성 및 잡음 특성 면에서 최적화할 수 있는 믹서 회로를 제공함에 있다.
- <33> 본 발명의 또 다른 목적은 믹서 회로의 증폭부 및 혼합부의 입력단에 발생하는 기생 커패시턴스로 인한 영향이 최소화된 믹서 회로를 제공함에 있다.

#### 【발명의 구성 및 작용】

- <34> 상기 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 믹서 회로는, 입력단 및 출력단을 구비하고, 입력단에 인가되는 신호를 증폭시켜 출력단으로 출력하는 증폭부, 제1 내지 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 제1 및 제2 입력단에 각각 인가되는 신호를 제3 입력단에 인가되는 신호와 혼합하여 제1 및 제2 출력단으로 각각 출력하는 혼합부, 증폭부의 출력단 및 혼합부의 제3 입력단 간에 접속되는 커패시터, 및 혼합부의 제3 입력단에 일정 전류



를 공급하되, 증폭부에 흐르는 전류 보다 실질적으로 더 많은 전류가 혼합부의 제3 입력단에 흐르도록 하기 위한 전류 공급 수단을 포함한다.

<35> 본 발명의 일실시예에 따른 믹서 회로에 있어서, 증폭부는 입력단을 형성하는 제1 단자, 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자에서 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 증폭 소자, 증폭 소자의 제2 단자 및 제1 전원 간에 접속되는 부하 임피던스, 및 증폭 소자의 제3 단자 및 제2 전원 간에 접속되는 퇴화 임피던스를 포함한다.

<36> 본 발명의 일실시예에 따른 믹서 회로에 있어서, 증폭부는 증폭 소자의 제1 단자 및 제2 단자간에 접속된 커패시터를 더 포함한다.

<37> 본 발명의 일실시예에 따른 믹서 회로에 있어서, 혼합부는 제1 입력단을 형성하는 제1 단자, 제1 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 증폭 소자, 제2 입력단을 형성하는 제1 단자, 제2 출력단을 형성하는 제2 단자, 및 제1 증폭 소자의 제3 단자와 접속되어 제3 입력단을 형성하는 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제2 증폭 소자, 및 제1 및 제2 증폭 소자의 제2 단자 및 전원 간에 각각 접속되는 제1 및 제2 부하 임피던스를 포함한다.

<38> 본 발명의 일실시예에 따른 믹서 회로에 있어서, 전류 공급 수단은 LC 공진 회로를 포함한다.



- <39> 본 발명의 다른 실시예에 따른 믹서 회로에 있어서, 입력단 및 출력단을 구비하고, 입력단에 인가되는 신호를 증폭시켜 출력단으로 출력하는 증폭부, 제1 및 제2 입력단, 증폭부의 출력단에 접속되는 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 제1 및 제2 입력단에 각각 인가되는 신호를 제3 입력단에 인가되는 신호와 믹싱하여 제1 및 제2 출력단으로 각각 출력하는 혼합부, 및 혼합부의 제3 입력단에 일정 전류를 공급하기 위한 전류 공급 수단을 포함한다.
- <40> 본 발명의 다른 실시예에 따른 믹서 회로에 있어서, 증폭부는 입력단을 형성하는 제1 단자, 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압에 크기에 기초하여 제2 단자에서 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 증폭 소자, 및 증폭 소자의 제3 단자 및 제2 전원 간에 접속되는 퇴화 임피던스를 포함한다.
- <41> 본 발명의 다른 실시예에 따른 믹서 회로에 있어서, 증폭부는 증폭 소자의 제1 단자 및 제2 단자간에 접속된 커패시터를 더 포함한다.
- <42> 본 발명의 다른 실시예에 따른 믹서 회로에 있어서, 혼합부는 제1 입력단을 형성하는 제1 단자, 제1 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 증폭 소자, 제2 입력단을 형성하는 제1 단자, 제2 출력단을 형성하는 제2 단자, 및 제1 증폭 소자의 제3 단자와 접속되어 제3 입력단을 형성하는 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제2 증폭 소자, 및 제1 및 제2 증폭 소자의 제2 단자 및 전원 간에 각각 접속되는 제1 및 제2 부하 임피던스를 포함한다.
- <43> 본 발명의 또 다른 실시예에 따른 믹서 회로에 있어서, 입력단 및 출력단을 구비하고, 입력단에 인가되는 신호를 증폭시켜 출력단으로 출력하는 증폭부, 및 제1 및 제2 입력단, 증폭

부의 출력단에 접속되는 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 제1 및 제2 입력단에 각각 인가되는 신호를 제3 입력단에 인가되는 신호와 믹싱하여 제1 및 제2 출력단으로 각각 출력하는 혼합부를 포함하되, 증폭부는 입력단을 형성하는 제1 단자, 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압에 크기에 기초하여 제2 단자에서 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 증폭 소자, 증폭 소자의 제3 단자 및 제2 전원 간에 접속되는 퇴화 임피던스, 및 증폭 소자의 제1 단자 및 제2 단자간에 접속되는 커패시터를 포함한다.

<44> 본 발명의 또 다른 실시예에 따른 믹서 회로에 있어서, 혼합부는 제1 입력단을 형성하는 제1 단자, 제1 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 증폭 소자, 제2 입력단을 형성하는 제1 단자, 제2 출력단을 형성하는 제2 단자, 및 제1 증폭 소자의 제3 단자와 접속되어 제3 입력단을 형성하는 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제2 증폭 소자, 및 제1 및 제2 증폭 소자의 제2 단자 및 전원 간에 각각 접속되는 제1 및 제2 부하 임피던스를 포함한다.

<45> 본 발명의 또 다른 실시예에 따른 믹서 회로에 있어서, 혼합부는 제1 및 제2 증폭 소자의 제1 단자 및 제2 단자 간에 각각 접속되는 커패시터를 더 포함한다.

<46> 본 발명의 또 다른 실시예에 따른 믹서 회로는, 입력단 및 출력단을 구비하고, 입력단에 인가된 신호를 증폭시켜 출력단으로 출력하는 증폭부, 및 제1 및 제2 입력단, 증폭부의 출력단에 접속되는 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 제1 및 제2 입력단에 각각 인가되는 신호를 제3 입력단에 인가되는 신호와 믹싱하여 제1 및 제2 출력단으로 각각 출력하는 혼



합부를 포함하되, 혼합부는 제1 입력단을 형성하는 제1 단자, 제1 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 증폭 소자, 제2 입력단을 형성하는 제1 단자, 제2 출력단을 형성하는 제2 단자, 및 제1 증폭 소자의 제3 단자와 접속되어 제3 입력단을 형성하는 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제2 증폭 소자, 제1 및 제2 증폭 소자의 제1 단자 및 제2 단자간에 각각 접속되는 제1 및 제2 커패시터, 및 제1 및 제2 증폭 소자의 제2 단자 및 전원 간에 각각 접속되는 제1 및 제2 부하 임피던스를 포함한다.

<47> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

<48> 본 발명에 따른 믹서 회로는 바이폴라 정션 트랜지스터(Bipolar Junction Transistor) 증폭 소자를 활용한다. 증폭 소자는 베이스, 콜렉터, 에미터를 구비한다. 바이폴라 정션 트랜지스터는 베이스에 인가되는 전압의 크기 및 극성에 따라서, 콜렉터로부터 에미터로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다. 이러한 증폭 소자로는 바이폴라 정션 트랜지스터(BJT), 정션 전계 효과 트랜지스터(JFET), 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET) 및 금속 반도체 전계 효과 트랜지스터(MESFET) 등이 있다.

<49> 또한, 이러한 증폭 소자의 대부분은 서로 상보적인 두개의 상보 소자, 즉 제1 상보 소자, 예를 들면, NPN 트랜지스터, 및 제2 상보 소자, 예를 들면, PNP 트랜지스터를 활용한다. 제1 상보 소자 및 제2 상보 소자는 베이스에 인가되는 전압의 크기 및 극성에 따라서, 콜렉터로부터 에미터로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다.

<50> 상술한 증폭 소자 중에서도 본 발명에 따른 믹서 회로에 있어서는 RF 회로에서 많이 응용되고 있는 바이폴라 정션 트랜지스터를 중심으로 설명하고자 한다. 그러나, 본 발명의 정신

은 바이폴라 정션 트랜지스터 뿐만 아니라 상보적으로 동작하는 모든 소자에 적용할 수 있음은 당업자에게 자명하다. 따라서, 비록 본 명세서에서는 바이폴라 정션 트랜지스터를 중심으로 설명하나, 본 발명의 개념과 범위가 바이폴라 정션 트랜지스터로 한정되는 것은 아니다. 또한 이하의 설명에서는 NPN 트랜지스터를 중심으로 설명하지만, 본 발명의 개념을 PNP에도 적용할 수 있음은 물론이다.

<51> 도 3은 본 발명의 일실시예에 따른 믹서 회로를 도시한 회로도이다.

<52> 도 3에 도시된 바와 같이, 본 발명에 따른 믹서 회로는 입력단(301) 및 출력단(303)을 구비하고, 입력단(301)에 인가되는 신호  $V_{in}$ 를 증폭시켜 출력하는 증폭부(310), 제1 내지 제3 입력단(305~309), 및 제1 및 제2 출력단(311, 313)을 구비하고, 상기 제1 및 제2 입력단(305, 307)에 각각 인가되는 국부 발진 신호  $LO+$ ,  $LO-$ 를 상기 제3 입력단(309)에 인가되는 신호와 믹싱하여 상기 제1 및 제2 출력단(311, 313)으로 출력하는 혼합부(330), 제1 커패시터  $C31$ , 및 제1 전류 공급 수단  $I31$ 을 포함한다.

<53> 이하, 도 3을 참조하여 이들 구성간의 접속관계를 설명한다.

<54> 증폭부(310)는 제1 NPN 트랜지스터  $BN31$ , 퇴화 임피던스  $DI31$ , 및 제1 부하 임피던스  $LI31$ 을 포함하며, 에미터 공통 구조로 형성된다. 즉, 제1 NPN 트랜지스터  $BN31$ 의 베이스는 입력단(301)을 형성하고, 컬렉터는 제1 부하 임피던스  $LI31$ 의 일단과 접속되어 출력단(303)을 형성하며, 에미터는 퇴화 임피던스  $DI31$ 의 일단과 접속된다. 제1 부하 임피던스  $LI31$ 의 타단은 전원  $V_{CC}$ 에 접속되고, 퇴화 임피던스  $DI31$ 의 타단은 접지된다.

<55> 본 발명의 일실시예에 따른 믹서 회로에 있어서, 제1 NPN 트랜지스터  $BN31$ 의 베이스 및 컬렉터 간에 제2 커패시터(도시되지 않음)가 제공될 수 있다. 이 경우, 제2 커패시터는 제1

NPN 트랜지스터 BN31의 베이스 및 콜렉터 간에 존재하는 기생 커패시턴스로 인한 영향을 제거함으로써, 믹서 회로의 선형성을 더욱 개선시킨다.

- <56>        혼합부(330)는 제2 및 제3 NPN 트랜지스터 BN32, BN33, 및 제2 및 제3 부하 임피던스 LI32, LI33를 포함하고, 베이스 공통 구조로 형성된다. 즉, 제2 및 제3 NPN 트랜지스터 BN32, BN33의 베이스는 제1 및 제2 입력단(305, 307)을 형성하고, 콜렉터는 제2 및 제3 부하 임피던스 LI32, LI33의 일단과 접속되어 각각 제1 및 제2 출력단(311, 313)을 형성하며, 에미터는 서로 접속되어 혼합부(330)의 제3 입력단(309)을 형성한다. 그리고, 제2 및 제3 부하 임피던스 LI32, LI33의 타단은 전원  $V_{CC}$ 에 접속된다.
- <57>        제1 커패시터 C31는 증폭부(310)의 출력단(303) 및 혼합부(330)의 제3 입력단(309) 간에 접속되고, 제1 전류 공급 수단 I31은 혼합부(330)의 제3 입력단(309)에 접속된다.
- <58>        본 발명의 일실시예에 따른 믹서 회로의 동작을 설명한다.
- <59>        증폭부(310)는 입력단(301)에 인가된 신호를 증폭시켜 출력한다. 즉, 제1 NPN 트랜지스터 BN31는 입력단(301)에 인가된 전압의 크기에 기초하여 콜렉터에서 에미터로 흐르는 전류를 가변시킴으로써, 입력단(301)에 인가된 신호  $V_{in}$ 를 증폭시킨다.
- <60>        혼합부(330)는 제1 및 제2 입력단(305, 307)에 각각 인가되는 국부 발진 신호  $L0+$ ,  $L0-$ 와 제3 입력단(309)에 인가되는 증폭부(310)의 출력신호를 혼합함으로써, 양 신호의 주파수의 차 또는 합에 해당하는 주파수의 신호를 제1 및 제2 출력단(311, 313)으로 출력한다.
- <61>        제1 커패시터 C31는 증폭부(310) 및 혼합부(330) 간에 흐르는 DC 성분을 차단함으로써, 증폭부(310) 및 혼합부(330)를 서로 분리시킨다.





- <62> 제1 전류 공급 수단 I31은 믹서 회로가 최적의 동작을 수행할 수 있도록 일정한 전류를 혼합부(330)의 제3 입력단(309)에 공급한다. 이 경우, 제1 전류 공급 수단 I31에 의해 공급되는 전류는 혼합부(330)의 제2 및 제3 NPN 트랜지스터 BN32, BN33의 콜렉터에 흐르는 전류  $I_c$ 의 합과 동일하며, 증폭부(310)의 제1 NPN 트랜지스터 BN31에 흐르는 전류보다 크다.
- <63> 즉, 증폭부(310)와 혼합부(330)를 분리하고, 혼합부(330)의 제3 입력단(309)에 제1 전류 공급 수단 I31을 접속시킴으로써, 혼합부(330)에 흐르는 전류가 증폭부(310)에 흐르는 전류보다 더 많도록 설정할 수 있으며, 이로써, 믹서 회로의 선형성 및 잡음 특성을 개선시킬 수 있다.
- <64> 본 발명의 일실시예에 따른 믹서 회로의 동작을 좀더 상세히 설명한다.
- <65> 2 이상의 신호를 혼합하는 믹서 회로에 있어서, 선형성 및 잡음 특성은 믹서의 성능을 결정하는 매우 중요한 요소이다.
- <66> 믹서의 선형성 측면에서 살펴볼 때, 도 3에 도시된 믹서 회로와 같이 2 이상의 회로가 직렬(cascade)로 접속되는 경우 전체 선형성은 첫단의 이득 및 선형성, 두번째단의 이득 및 선형성과 연관이 된다. 즉, 첫단의 이득은 작을수록 전체 선형성이 높아지며, 두번째단의 선형성은 첫단의 게인만큼 높아야 전체 선형성 측면에서 최적의 선형성을 이룰 수 있다. 첫단의 이득이 높게 되면, 둘째단에는 높은 레벨의 신호가 인가되게 되어 그만큼 더 선형적으로 동작해야 한다. 따라서, 믹서의 선형성을 개선시키기 위해서는 첫단의 이득을 작게 하고, 둘째단의 이득을 높임으로써, 원하는 총이득을 유지시키고, 둘째단의 선형성을 첫단의 이득만큼 좋게 하여 전체적인 선형성을 높이는 것이 바람직하다. 즉, 믹서의 경우 증폭부(310)의 이득을 적절하게 조정하고 혼합부(330)의 선형성을 증폭부(310)의 이득만큼 더 좋게 하여야 전체적인 선형성을 최적화시킬 수 있다.



- <67> 또한, 바이폴라 정션 트랜지스터와 같은 비선형 소자에 있어서, 선형성은 트랜지스터의 컬렉터에 흐르는 전류  $I_c$ 와 컬렉터 및 에미터간 전압  $V_{ce}$ 에 비례하는 특징을 가진다. 따라서, 바이어스 전압 및 부하 임피던스를 미리 설정된 적정 값으로 설정함으로써, 믹서 회로의 선형성을 최적화할 수 있다.
- <68> 그러나, 종래 믹서 회로에 있어서는 증폭부 및 혼합부가 직접적으로 접속됨으로 인하여, 혼합부에 흐르는 전류가 증폭부에 흐르는 전류에 의하여 제한되는 문제점이 있었으나, 본 발명의 경우, 증폭부(310) 및 혼합부(330)를 분리하여 각각 독립적으로 제어함으로써, 믹서의 선형성을 개선시킬 수 있다.
- <69> 믹서의 잡음 특성 측면에서 살펴볼 때, 도 3에 도시된 믹서 회로와 같이 2 이상의 회로가 직렬(cascade)로 접속되는 경우, 첫단의 이득이 높을수록 잡음 특성이 좋아지며, 증폭단(310)의 이득은 제1 NPN 트랜지스터 BN31의 트랜스컨덕턴스( $g_m$ ) 및 제1 부하 임피던스 LI31의 임피던스 값에 비례한다.
- <70> 즉, 종래의 믹서 회로에 있어서는 증폭부(310) 및 혼합부(330)가 서로 접속됨으로 인하여 각각이 이득을 독립적으로 제어하는데 한계가 있었으나, 본원 발명의 경우에는 증폭단(310)의 이득을 증가시킴으로써 잡음 특성을 개선시킬 수 있다.
- <71> 본 발명의 일실시예에 따른 믹서 회로에 있어서, 제1 NPN 트랜지스터 BN31의 컬렉터에 흐르는 전류  $I_c$ 는 제1 NPN 트랜지스터 BN31의 베이스에 인가되는 바이어스 전압에 의하여 결정되고, 제1 NPN 트랜지스터 BN31의 컬렉터 및 에미터간의 전압  $V_{ce}$ 은  $I_c$  및 제1 부하 임피던스 LI31에 의하여 결정된다. 따라서, 제1 NPN 트랜지스터 BN31에 인가되는 바이어스 전압 및 제1 부하 임피던스 LI31를 적정 값으로 설정함으로써, 증폭부(310)의 선형성 및 잡음 특성을 최적화 할 수 있다.

- <72> 본 발명의 일실시예에 따른 믹서 회로에 있어서, 제2 및 제3 NPN 트랜지스터 BN32, BN33의 콜렉터에 흐르는 전류의 합은 제1 전류 공급 수단 I31에 흐르는 전류의 양과 동일하며, 제2 및 제3 NPN 트랜지스터 BN32, BN33의 콜렉터 및 에미터간 전압은 제2 및 제3 NPN 트랜지스터 BN32, BN33의 콜렉터에 흐르는 전류 및 제2 및 제3 부하 임피던스 LI32, LI33에 의하여 결정된다. 따라서, 제2 및 제3 NPN 트랜지스터 BN32, BN33의 콜렉터에 흐르는 전류 및 제2 및 제3 부하 임피던스 LI32, LI33를 적절한 값으로 설정함으로써, 혼합부(330)의 선형성 및 잡음 특성을 증폭부(310)와는 독립적으로 제어할 수 있다.
- <73> 이로써, 믹서 회로의 증폭부(310) 및 혼합부(330)가 서로 분리되고, 증폭부(310) 및 혼합부(330)의 이득 및 선형성을 독립적으로 제어함으로써, 믹서 회로의 선형성 및 잡음 특성을 최적의 조건으로 설정할 수 있다.
- <74> 도 4는 본 발명의 다른 실시예에 따른 믹서 회로를 도시한 회로도이다.
- <75> 도 4에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 믹서 회로는 각각 독립적으로 최적화된 증폭부(410) 및 혼합부(430)가 직접 접속되었다는 점에서 도 3에 도시된 실시예와 차이를 갖는다.
- <76> 이하, 도 4에 도시된 믹서 회로의 구성 및 동작을 설명한다. 본 발명의 다른 실시예에 따른 믹서 회로의 증폭부(410)는 제1 NPN 트랜지스터 BN41 및 퇴화 임피던스 DI41를 포함한다. 제1 NPN 트랜지스터 BN41의 베이스는 증폭부(410)의 입력단(401)을 형성하고, 콜렉터는 증폭부(410)의 출력단(403)을 형성하며, 에미터는 퇴화 임피던스 DI41의 일단과 접속된다. 퇴화 임피던스 DI41의 타단은 접지된다.

- <77> 본 발명의 다른 실시예에 따른 믹서 회로에 있어서도, 제1 NPN 트랜지스터 BN41의 콜렉터와 베이스 간에 커패시터가 제공될 수 있으며, 이 경우, 커패시터는 제1 NPN 트랜지스터 BN41의 콜렉터 및 베이스 간의 존재하는 기생 커패시턴스로 인한 영향을 제거한다.
- <78> 혼합부(430)는 제2 및 제3 NPN 트랜지스터 BN42, BN43 및 제1 및 제2 부하 임피던스 LI41, LI42를 포함한다. 혼합부(430)의 구체적 접속관계는 도 3에 도시된 실시예와 동일하므로 여기서는 설명을 생략하기로 한다.
- <79> 본 발명의 다른 실시예에 따른 믹서 회로의 동작을 설명한다.
- <80> 제1 전류 공급 수단 I41이 접속되지 않은 상태에서, 제2 및 제3 NPN 트랜지스터 BN42, BN43의 베이스에 제공되는 바이어스 전압(도시되지 않음)을 제어하여, 미리 설정된 소정의 전압이 제1 NPN 트랜지스터 BN41의 콜렉터 및 에미터 간에 인가되도록 한다. 상기 설명한 바와 같이, 믹서 회로의 선형성을 개선시키기 위해서는 증폭부(410)의 제1 NPN 트랜지스터 BN41의 콜렉터에 흐르는 전류에 비례하여 에미터 및 콜렉터 간에 인가되는 전압  $V_{ce}$ 을 높여야 한다.
- <81> 따라서, 혼합부(430)의 제2 및 제3 NPN 트랜지스터 BN42, BN43의 바이어스 전압을 제어함으로써, 선형성 측면에서 최적의 전압이 제1 NPN 트랜지스터 BN41의 콜렉터 및 에미터  $V_{ce}$  간에 인가되도록 한다.
- <82> 이 경우, 제1 NPN 트랜지스터 BN41의 콜렉터 및 에미터  $V_{ce}$  간에는 최적의 전류와 전압이 인가되지만, 제2 및 제3 NPN 트랜지스터 BN42, BN43의 콜렉터에 흐르는 전류는 혼합부(430)의 선형성, 즉, 증폭부(410)의 이득만큼 더 좋아야하는 선형성을 충족시키지 못할 수 있다.

- <83> 이 때, 제1 NPN 트랜지스터 BN41의 콜렉터(즉, 증폭부(410)의 출력단(403)) 및 혼합부(430)의 제3 입력단(409) 간에 제1 전류 공급 수단 I41을 제공함으로써, 제2 및 제3 NPN 트랜지스터 BN42, BN43의 콜렉터에 선형성측면에서 최적의 전류가 흐를 수 있도록 한다.
- <84> 이로써, 증폭부(410)에 포함된 제1 NPN 트랜지스터 BN41의 콜렉터에 흐르는 전류  $I_c$  및 제1 NPN 트랜지스터 BN41의 콜렉터 및 에미터 간의 전압  $V_{ce}$ , 그리고 제2 및 제3 NPN 트랜지스터 BN42, BN43의 콜렉터에 흐르는 전류를 제어함으로써, 선형성 측면에서 요구되는 최적의 전류 및 전압이 인가되도록 함으로써, 믹서 회로의 선형성을 개선시킬 수 있다.
- <85> 도 5는 본 발명의 다른 실시예에 따른 믹서 회로를 도시한 회로도이다.
- <86> 도 5에 도시된 믹서 회로는 도 3에 도시된 믹서 회로에 있어서, 제1 전류 공급 수단 I31을 인덕터 L51 및 커패시터 C52의 병렬접속으로 구현하였다는 점에서 차이를 갖는다. 즉, 제1 전류 소오스 I31 대신에 LC 공진 회로를 이용하면, 입력되는 무선 주파수 신호  $V_{in}$ 의 2차 고조파, 및 국부 발진 신호  $L0+$ ,  $L0-$ 의 2차 고조파 등의 하모닉 성분을 제거할 수 있어, 하모닉 성분에 의한 선형성 퇴화를 막을 수 있게 된다.
- <87> 도 5에서는 입력 신호의 고조파 성분을 제거할 수 있는 LC 공진 회로로서, 인덕터 L51 및 커패시터 C51가 병렬 접속된 것을 도시하였으나, 실시예에 따라서는 인덕터 및 커패시터의 직렬 접속으로도 구현이 가능하며, 도 3에 도시된 제1 전류 소오스 I31의 결합 구조로도 구현이 가능하다.
- <88> 도 6은 본 발명의 다른 실시예에 따른 믹서 회로를 도시한 회로도이다.
- <89> 도 6에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 믹서 회로는 증폭부(610) 및 혼합부(630)를 포함하고, 상기 증폭부(610)에 포함된 제1 NPN 트랜지스터 BN61의 콜렉터 및 베

이스 간에 커패시터 C41가 접속됨으로써, 입력단에 존재하는 기생 커패시턴스로 인한 비선형성을 제거할 수 있다.

<90> 즉, 제1 NPN 트랜지스터 BN61의 콜렉터 및 베이스간에 존재하는 기생 커패시턴스는 입력단에 인가되는 전압에 따라서 그 커패시턴스가 변화하게 되어 믹서 회로의 선형성을 악화시킨다.

<91> 따라서, 도 6에 도시된 바와 같이, 제1 NPN 트랜지스터 BN61의 콜렉터 및 베이스간에 커패시터 C41를 접속시키면, 제1 NPN 트랜지스터 BN61의 콜렉터 및 베이스간에는 기생 커패시터와 커패시터 C41가 병렬 접속된 형태를 띄게 되고, 커패시터 C41의 커패시턴스 값을 적절히 조절하면 기생 커패시턴스로 인한 영향을 제거할 수 있다.

<92> 또한, 실시예에 따라서는 도 6에 도시된 바와 같이, 혼합부(630)에 포함된 제2 및 제3 NPN 트랜지스터 BN62, BN63의 콜렉터 및 베이스 간에도 제2 및 제3 커패시터 C42, C43을 접속시킴으로써, 제2 및 제3 NPN 트랜지스터 BN62, BN63의 콜렉터 및 베이스 간에 존재하는 기생 커패시턴스의 영향을 제거할 수 있다.

<93> 상기 설명된 4개의 실시예에서는 설명의 편의를 위하여 싱글 엔디드 타입(single-ended type)의 믹서 회로를 중심으로 설명하였으나, 본 발명의 본질이 차동 쌍(differential pair)으로 이루어진 믹서 회로에도 적용될 수 있음은 당업자에게 자명하다.

#### 【발명의 효과】

<94> 본 발명에 따르면, 믹서 회로의 선형성 및 잡음 특성을 개선시킬 수 있다.

<95> 또한, 믹서 회로의 증폭부 및 혼합부를 분리하여 제어함으로써, 각각 독립적으로 최적화시킬 수 있다.



1020030009013

출력 일자: 2003/11/20

<96>        나아가, 믹서 회로의 증폭부 및 혼합부의 입력단에 발생하는 기생 커패시턴스의 영향을 제거함으로써 선형성이 개선된 믹서 회로를 제공할 수 있다.

## 【특허청구범위】

## 【청구항 1】

입력단 및 출력단을 구비하고, 상기 입력단에 인가되는 신호를 증폭시켜 상기 출력단으로 출력하는 증폭부,

제 1 내지 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 상기 제1 및 제2 입력단에 각각 인가되는 신호를 상기 제3 입력단에 인가되는 신호와 혼합하여 상기 제1 및 제2 출력단으로 각각 출력하는 혼합부,

상기 증폭부의 상기 출력단 및 상기 혼합부의 상기 제3 입력단 간에 접속되는 커패시터, 및

상기 혼합부의 상기 제3 입력단에 일정 전류를 공급하되, 상기 증폭부에 흐르는 전류보다 실질적으로 더 많은 전류가 상기 혼합부의 상기 제3 입력단에 흐르도록 하기 위한 전류 공급 수단

을 포함하는 믹서 회로.

## 【청구항 2】

제1항에 있어서,

상기 증폭부는

상기 입력단을 형성하는 제1 단자, 상기 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압에 크기에 기초하여 상기 제2 단자에서 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 증폭 소자,



상기 증폭 소자의 상기 제2 단자 및 제1 전원 간에 접속되는 부하 임피던스, 및  
상기 증폭 소자의 상기 제3 단자 및 제2 전원 간에 접속되는 퇴화 임피던스  
를 포함하는 믹서 회로.

**【청구항 3】**

제2항에 있어서,

상기 증폭부는 상기 증폭 소자의 상기 제1 단자 및 상기 제2 단자간에 접속된 커패시터  
를 더 포함하는 믹서 회로.

**【청구항 4】**

제1항에 있어서,

상기 혼합부는

상기 제1 입력단을 형성하는 제1 단자, 상기 제1 출력단을 형성하는 제2 단자, 및 제3  
단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상  
기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 증폭 소자,

상기 제2 입력단을 형성하는 제1 단자, 상기 제2 출력단을 형성하는 제2 단자, 및 상기  
제1 증폭 소자의 상기 제3 단자와 접속되어 상기 제3 입력단을 형성하는 제3 단자를 구비하고  
, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐  
르는 전류의 크기 및 방향이 가변되는 제2 증폭 소자, 및



상기 제1 및 제2 증폭 소자의 상기 제2 단자 및 전원 간에 각각 접속되는 제1 및 제2 부하 임피던스

를 포함하는 믹서 회로.

**【청구항 5】**

제1항에 있어서,

상기 전류 공급 수단은 LC 공진 회로를 포함하는 믹서 회로.

**【청구항 6】**

입력단 및 출력단을 구비하고, 상기 입력단에 인가되는 신호를 증폭시켜 상기 출력단으로 출력하는 증폭부,

제 1 및 제2 입력단, 상기 증폭부의 상기 출력단에 접속되는 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 상기 제1 및 제2 입력단에 각각 인가되는 신호를 상기 제3 입력단에 인가되는 신호와 믹싱하여 상기 제1 및 제2 출력단으로 각각 출력하는 혼합부, 및

상기 혼합부의 상기 제3 입력단에 일정 전류를 공급하기 위한 전류 공급 수단을 포함하는 믹서 회로.

**【청구항 7】**

제6항에 있어서,

상기 증폭부는

상기 입력단을 형성하는 제1 단자, 상기 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압에 크기에 기초하여 상기 제2 단자에서 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 증폭 소자, 및

상기 증폭 소자의 상기 제3 단자 및 제2 전원 간에 접속되는 퇴화 임피던스를 포함하는 믹서 회로.

#### 【청구항 8】

제7항에 있어서,

상기 증폭부는 상기 증폭 소자의 상기 제1 단자 및 상기 제2 단자간에 접속된 커패시터를 더 포함하는 믹서 회로.

#### 【청구항 9】

제6항에 있어서,

상기 혼합부는

상기 제1 입력단을 형성하는 제1 단자, 상기 제1 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 증폭 소자,

상기 제2 입력단을 형성하는 제1 단자, 상기 제2 출력단을 형성하는 제2 단자, 및 상기 제1 증폭 소자의 상기 제3 단자와 접속되어 상기 제3 입력단을 형성하는 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제2 증폭 소자, 및

상기 제1 및 제2 증폭 소자의 상기 제2 단자 및 전원 간에 각각 접속되는 제1 및 제2 부하 임피던스

를 포함하는 믹서 회로.

#### 【청구항 10】

입력단 및 출력단을 구비하고, 상기 입력단에 인가되는 신호를 증폭시켜 상기 출력단으로 출력하는 증폭부, 및

제 1 및 제2 입력단, 상기 증폭부의 상기 출력단에 접속되는 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 상기 제1 및 제2 입력단에 각각 인가되는 신호를 상기 제3 입력단에 인가되는 신호와 믹싱하여 상기 제1 및 제2 출력단으로 각각 출력하는 혼합부

를 포함하되,

상기 증폭부는 상기 입력단을 형성하는 제1 단자, 상기 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압에 크기에 기초하여 상기 제2 단자에서 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 증폭 소자,

상기 증폭 소자의 제3 단자 및 제2 전원 간에 접속되는 퇴화 임피던스, 및

상기 증폭 소자의 제1 단자 및 제2 단자간에 접속되는 커패시터

를 포함하는 믹서 회로.

#### 【청구항 11】

제10항에 있어서,

상기 혼합부는

상기 제1 입력단을 형성하는 제1 단자, 상기 제1 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 증폭 소자,

상기 제2 입력단을 형성하는 제1 단자, 상기 제2 출력단을 형성하는 제2 단자, 및 상기 제1 증폭 소자의 상기 제3 단자와 접속되어 상기 제3 입력단을 형성하는 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제2 증폭 소자, 및

상기 제1 및 제2 증폭 소자의 상기 제2 단자 및 전원 간에 각각 접속되는 제1 및 제2 부하 임피던스

를 포함하는 믹서 회로.

#### 【청구항 12】

제11항에 있어서,

상기 혼합부는 상기 제1 및 제2 증폭 소자의 상기 제1 단자 및 상기 제2 단자 간에 각각 접속되는 커패시터를 더 포함하는 믹서 회로.

#### 【청구항 13】

입력단 및 출력단을 구비하고, 상기 입력단에 인가되는 신호를 증폭시켜 상기 출력단으로 출력하는 증폭부, 및

제 1 및 제2 입력단, 상기 증폭부의 상기 출력단에 접속되는 제3 입력단, 및 제1 및 제2 출력단을 구비하고, 상기 제1 및 제2 입력단에 각각 인가되는 신호를 상기 제3 입력단에 인가되는 신호와 믹싱하여 상기 제1 및 제2 출력단으로 각각 출력하는 혼합부

를 포함하되,

상기 혼합부는

상기 제1 입력단을 형성하는 제1 단자, 상기 제1 출력단을 형성하는 제2 단자, 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 증폭 소자,

상기 제2 입력단을 형성하는 제1 단자, 상기 제2 출력단을 형성하는 제2 단자, 및 상기 제1 증폭 소자의 상기 제3 단자와 접속되어 상기 제3 입력단을 형성하는 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제2 증폭 소자,

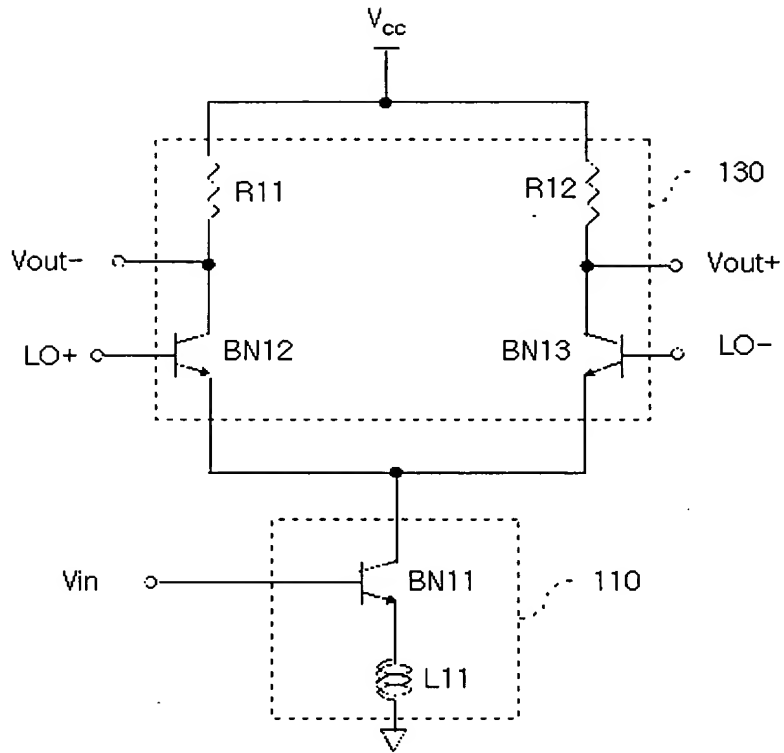
상기 제1 및 제2 증폭 소자의 제1 단자 및 제2 단자간에 각각 접속되는 제1 및 제2 커패시터, 및

상기 제1 및 제2 증폭 소자의 상기 제2 단자 및 전원 간에 각각 접속되는 제1 및 제2 부하 임피던스

를 포함하는 믹서 회로.

## 【도면】

【도 1】

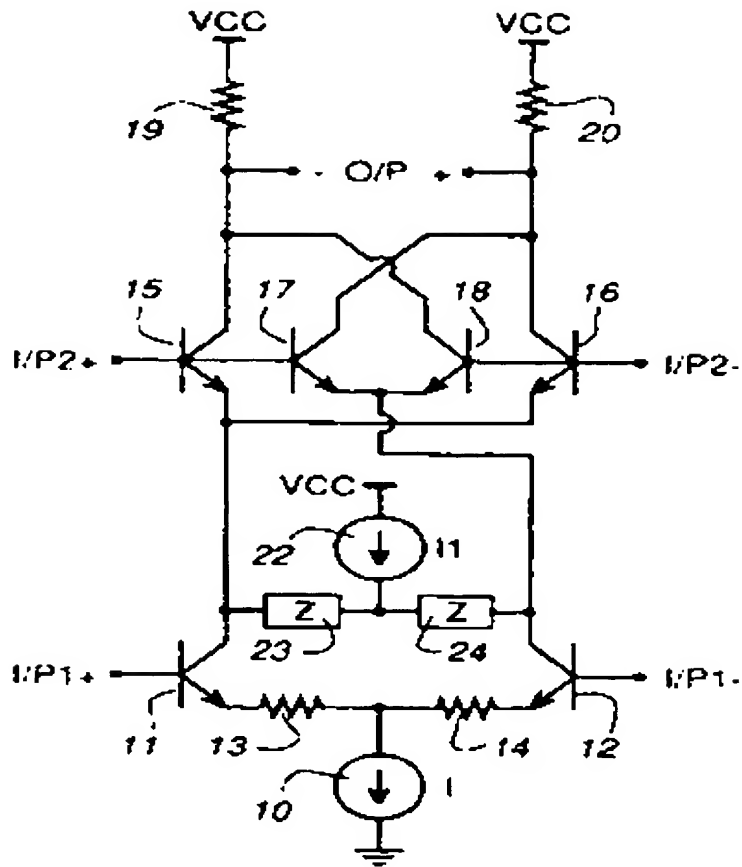




1020030009013

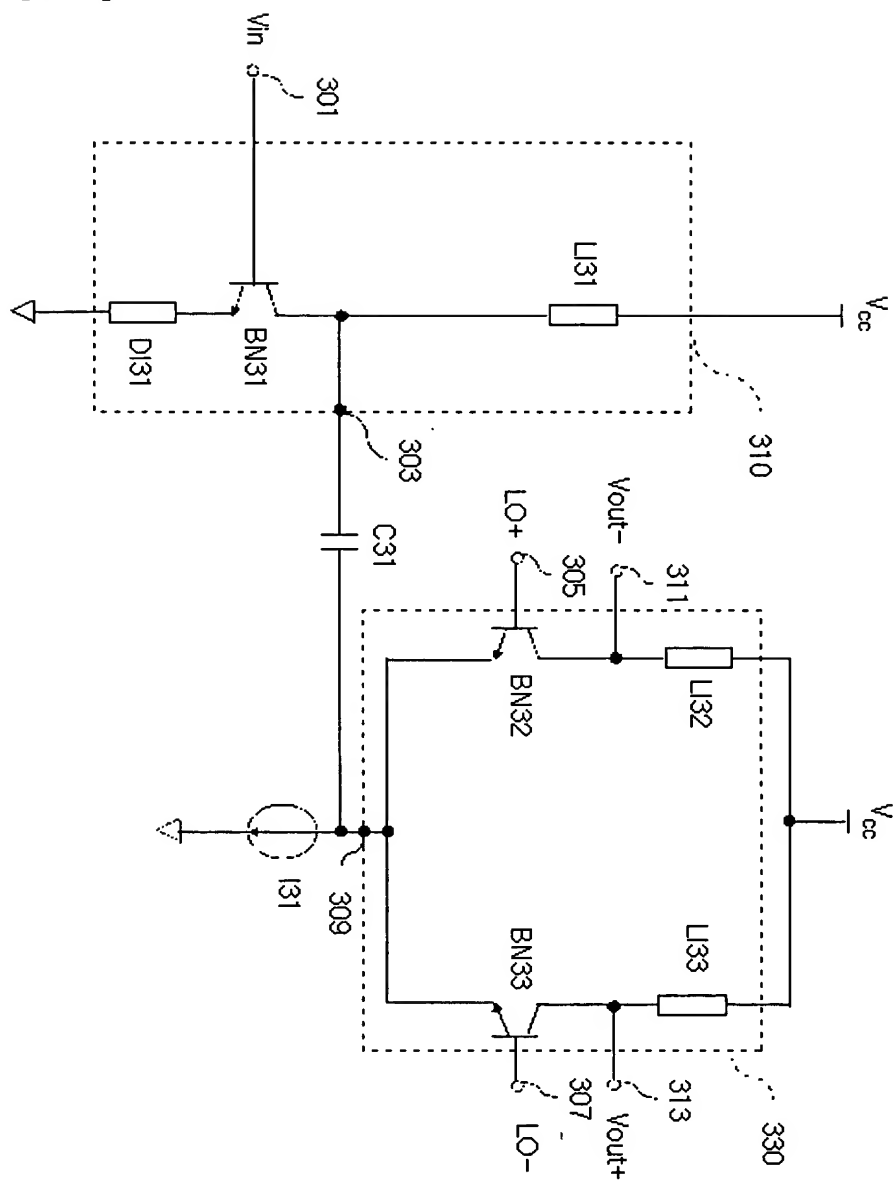
출력 일자: 2003/11/20

【도 2】



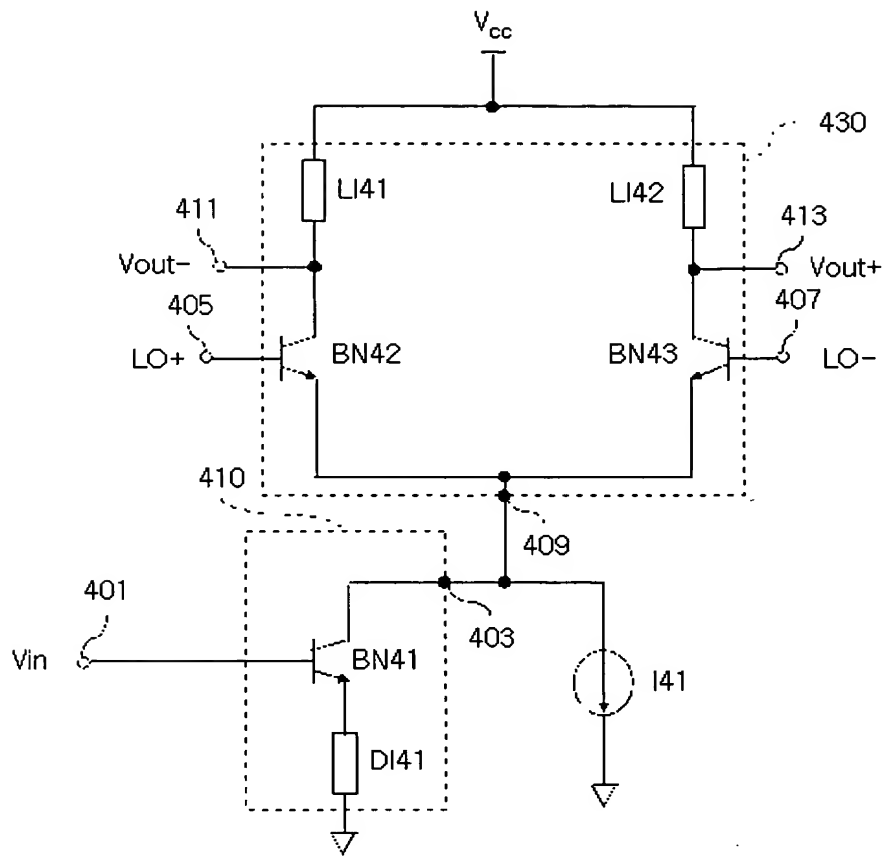


【도 3】

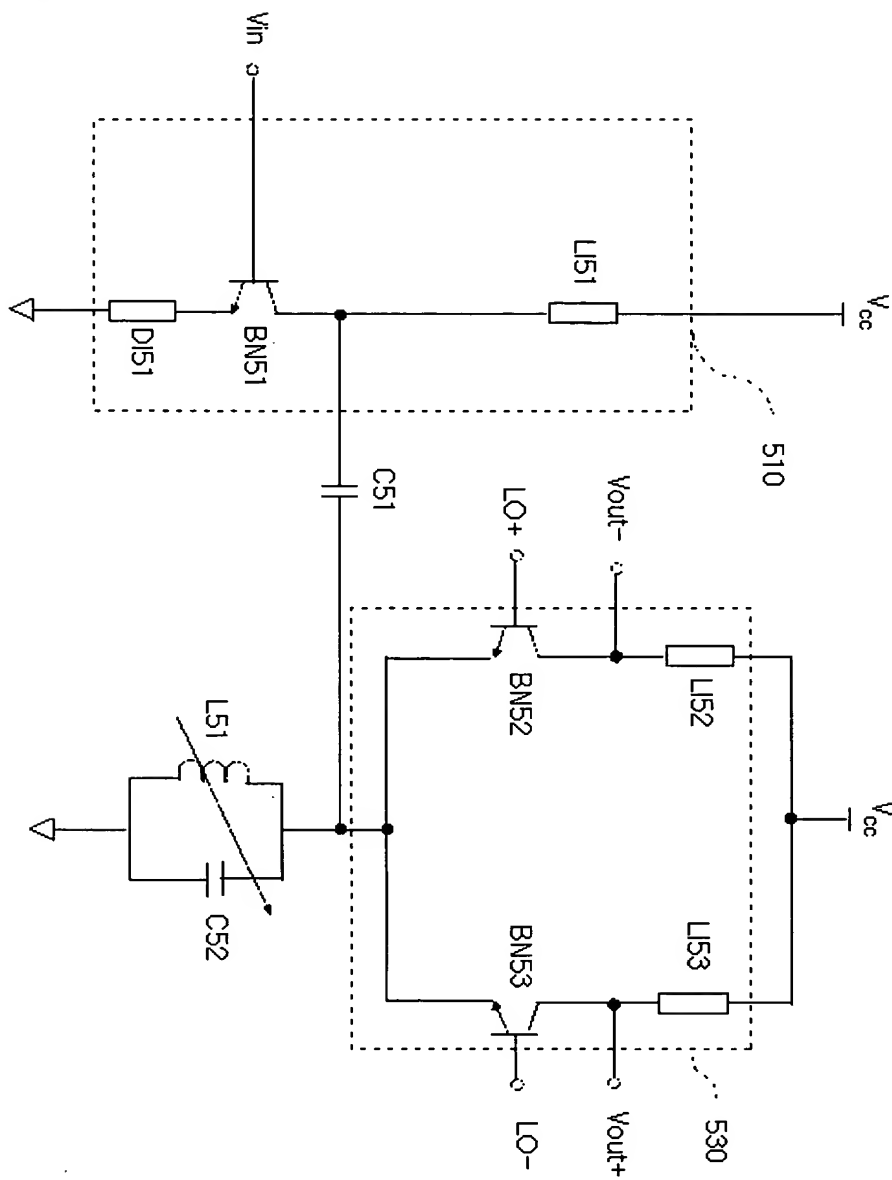




【도 4】



【도 5】



【도 6】

